

Part translation of JP Application, Publication No: S63-88660

Title: Microprocessor system

Upper right col. ln.5 on page 3 – lower left col. ln.1 on page 3

On the other hand, the time-up comes about having had a pre-assigned time (monitoring period) erupted after the time monitoring unit 5 has triggered the time-count, in which the time monitoring unit 5 triggers the time-count when the peripheral apparatus 3 is associated with an abnormality and does not respond properly to such an access request signal (operation instruction), and consequently is unable to send an interrupt acknowledge signal  $S_1$  to the peripheral apparatus control unit 4.

When time-up comes about as above, the time monitoring unit 5 sends to the peripheral apparatus control unit 4 a dummy interrupt acknowledge signal  $S_2$  in place of the interrupt acknowledge signal  $S_1$ , the peripheral apparatus 3 would have sent to the peripheral apparatus control unit 4, had it not been associated with any abnormality.

The peripheral apparatus control unit 4 realizes that the peripheral apparatus 3 is in an abnormal state having had any part behaving erroneously or other trouble of this kind when it receives the dummy interrupt acknowledge signal  $S_2$  and reports to RMOS 1 on the abnormal shut down of the peripheral apparatus 3 operation so as to have RMOS 1 report to the application program 2 the fact that the peripheral apparatus 3 is in an abnormal state.

=End=

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭63-88660

⑬ Int. Cl.

G 06 F 13/00  
13/10

識別記号

3 0 1  
3 3 0

序内整理番号

6549-5B  
C-7737-5B

⑭ 公開 昭和63年(1988)4月19日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 マイクロプロセッサシステム

⑯ 特願 昭61-234853

⑰ 出願 昭61(1986)10月1日

⑱ 発明者 菊地原 博夫 兵庫県神戸市兵庫区和田崎町1丁目1番2号 三菱電機株式会社制御製作所内

⑲ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代理人 弁理士 大岩 増雄 外2名

明細書

1. 発明の名称

マイクロプロセッサシステム

2. 特許請求の範囲

リアルタイムマルチタスクオペレーティングシステムをもつたマイクロプロセッサシステムにおいて、その周辺装置制御部との間でアクセス要求信号および割込み応答信号の授受を行なう周辺装置をそなえ、上記周辺装置制御部からの上記アクセス要求信号の出力タイミングでトリガされ上記割込み応答信号の出力タイミングでリセットされるがトリガ後所要時間経過すると擬似割込み応答信号を上記周辺装置制御部へ出力する時間監視部が設けられたことを特徴とするマイクロプロセッサシステム。

3. 発明の詳細な説明

【産業上の利用分野】

この発明は、リアルタイムマルチタスクオペレーティングシステム(Realtime Multitask Operating System: RMOS)をもつたマイクロ

プロセッサ(MP)システムに関するものである。

【従来の技術】

第2図は従来のマイクロプロセッサシステムを示すブロック図であり、図において、1はマイクロプロセッサシステム全体を管理するリアルタイムマルチタスクオペレーティングシステムの核としてのRMOS、2はRMOS1を使用するユーザのアプリケーションプログラム、3は周辺装置、4はRMOS1と周辺装置3との間に介設される周辺装置制御部であり、周辺装置3は、周辺装置制御部4との間でアクセス要求信号および割込み応答信号S1の授受を行なうようになっている。

なお、第2図においては、周辺装置3が2台そなえられた場合を示しているが、周辺装置3は何台そなえられてもよい。

次に動作について説明する。ユーザのアプリケーションプログラム2において周辺装置3を使用する場合、まずRMOS1に対し、周辺装置3へのアクセス要求を発行する。これにより、RMOS1は、周辺装置3を制御実行する周辺装置制御

## 特開昭63-88660(2)

部4に周辺装置3へのアクセス要求処理を指合して、この指令に基づき、周辺装置制御部4は、周辺装置3へアクセス要求信号(動作指令)を出力する。

そして、周辺装置3は、上記アクセス要求信号(動作指令)に基づく動作を完了すると、割込み応答信号S<sub>1</sub>を周辺装置制御部4へ送り、これに伴い周辺装置制御部4はRMOS1へ動作完了情報を送り、さらに、RMOS1はアプリケーションプログラム2へ処理の正常終了を通知する。

## 【発明が解決しようとする問題点】

従来のリアルタイムマルチタスクオペレーティングシステムをもつたマイクロプロセッサシステムは以上のように構成されているので、周辺装置3がエラーの状態によつては完了通知つまり割込み応答信号S<sub>1</sub>を周辺装置制御部4へ出力しない場合があり、このような場合、周辺装置制御部4が割込み応答信号S<sub>1</sub>の無限待ち状態となるため、ユーザのアプリケーションプログラム2が、この状態に対する処理を行なえなくなつて、ユーザシ

ある。

## 【作用】

この発明におけるマイクロプロセッサシステムでは、周辺装置制御部から周辺装置へアクセス要求信号が出力されると、その出力タイミングで時間監視部がトリガされる。

そして、上記周辺装置が上記アクセス要求信号に応じ正常に動作して上記周辺装置制御部へ割込み応答信号を出力すると、その出力タイミングで上記時間監視部はリセットされる。

一方、上記周辺装置がエラーの状態等により正常に動作せず上記周辺装置制御部へ割込み応答信号を出力しないまま、トリガ後所要時間経過すると、上記時間監視部は、上記周辺装置制御部4へ擬似割込み応答信号を出力する。

## 【発明の実施例】

以下、この発明の一実施例を図について説明する。第1図はこの発明の一実施例によるマイクロプロセッサシステムを示すブロック図であり、本実施例も第2図に示す従来のものとほぼ同様に構

システムのハングアップあるいはシステムダウンという状態を引き起こすという問題点があつた。

この発明は上記のような問題点を解消するためになされたもので、周辺装置の状態(エラーの状態等)を検出できるようにして、周辺装置制御部が無限待ち状態となるのを防止し、システムのハングアップやシステムダウンを未然に防止できるようにした、マイクロプロセッサシステムを得ることを目的とする。

## 【問題点を解決するための手段】

この発明に係るマイクロプロセッサシステムは、リアルタイムマルチタスクオペレーティングシステムをもつたマイクロプロセッサシステムの周辺装置制御部との間でアクセス要求信号および割込み応答信号の授受を行なう周辺装置をそなえ、上記周辺装置制御部からの上記アクセス要求信号の出力タイミングでトリガされ上記割込み応答信号の出力タイミングでリセットされるがトリガ後所要時間経過すると擬似割込み応答信号を上記周辺装置制御部へ出力する時間監視部を設けたもので

成されていて、第1図において、1はマイクロプロセッサシステム全体を管理するリアルタイムマルチタスクオペレーティングシステムの核としてのRMOS、2はRMOS1を使用するユーザのアプリケーションプログラム、3は周辺装置、4はRMOS1と周辺装置3との間に介装される周辺装置制御部であり、周辺装置3は、周辺装置制御部4との間でアクセス要求信号および割込み応答信号S<sub>1</sub>の授受を行なうようになつていて。

そして、5は周辺装置制御部4に接続され周辺装置3へのアクセス要求信号(動作指令)出力時に完了応答である割込み応答信号S<sub>1</sub>を受けるまでの時間を監視する時間監視部であり、この時間監視部5は、周辺装置制御部4からのアクセス要求信号の出力タイミングでトリガされ周辺装置3からの割込み応答信号S<sub>1</sub>の出力タイミングでリセットされるが、トリガ後所要時間(監視時間)だけ経過すると擬似割込み応答信号S<sub>2</sub>を周辺装置制御部4へ出力するものである。

なお、第1図においては、周辺装置3が2台そ

## 特開昭63-88660(3)

なえられた場合を示しているが、周辺装置3は何台そなえられてもよい。

次に本実施例のマイクロプロセッサシステムの動作について説明する。ユーザのアプリケーションプログラム2において周辺装置3を使用する場合、まずRMOS1に対し、周辺装置3へのアクセス要求を発行する。これにより、RMOS1は、周辺装置3を制御実行する周辺装置制御部4に周辺装置3へのアクセス要求処理を指令して、この指令に基づき、周辺装置制御部4は、周辺装置3へアクセス要求信号(動作指令)を出力する。

これと同時に、周辺装置制御部4は、アクセス要求信号(動作指令)の出力タイミングで時間監視部5をトリガして、上記アクセス要求信号(動作指令)に対応する要求の動作終了までの時間(トリガ後の時間)を時間監視部5により監視する。

そして、周辺装置3は、上記アクセス要求信号(動作指令)に基づく動作を正常に所要時間内で完了すると、割込み応答信号S<sub>1</sub>を周辺装置制御部4へ出力し、これに伴い周辺装置制御部4は、R

ログラム2へ周辺装置3の異常状態を通知する。

このように、本実施例では、周辺装置3においてエラー等が発生し、割込み応答信号S<sub>1</sub>が出力されない場合、アクセス要求信号(動作指令)の出力後、所要時間経過すると時間監視部5から周辺装置制御部4へ擬似割込み応答信号S<sub>2</sub>が出力され、周辺装置3の状態が検出されてユーザのアプリケーションプログラム2へ通知されるため、周辺装置3のトラブルの状態を適格にオペレータ等に通知できるようになるだけでなく、システムのハングアップやシステムダウン等も未然に且つ確実に防止できるようになって、システムの信頼性を大幅に高めることができるのである。

なお、上記実施例では、周辺装置制御部4および時間監視部5を、ソフトウェアにて実現しているが、ハードウェアにて実現することもでき、この場合も上記実施例と同様の効果を発する。

## 【発明の効果】

以上のように、この発明によれば、周辺装置から割込み応答信号が出力されない場合、アクセス

RMOS1へ動作完了情報を送るとともに、割込み応答信号S<sub>1</sub>の出力タイミングで時間監視部5によるトリガ後の時間監視をリセットする。

さらに、RMOS1はアプリケーションプログラム2へ処理の正常終了を通知する。

一方、周辺装置3が、エラー等の要因により正常に上記アクセス要求信号(動作指令)に対応して動作できず、周辺装置制御部4へ割込み応答信号S<sub>1</sub>を出力できない場合、時間監視部5において、トリガ後所要時間(監視時間)が経過して、タイムアップが発生する。

このような場合、時間監視部5は、正常時には周辺装置3が周辺装置制御部4に対し出力する割込み応答信号S<sub>1</sub>に代わって、周辺装置制御部4へ擬似割込み応答信号S<sub>2</sub>を出力する

そして、周辺装置制御部4は、擬似割込み応答信号S<sub>2</sub>により、周辺装置3においてエラー等による何等かの異常状態が生じていることを検出し、周辺装置3での動作の異常終了をRMOS1へ通知し、さらに、RMOS1はアプリケーションプ

要求信号の出力後、所要時間経過すると時間監視部から周辺装置制御部へ擬似割込み応答信号を出力するように構成したので、上記周辺装置の状態が検出され、周辺装置のトラブルの状態を適格にオペレータ等に通知できるようになるとともに、システムのハングアップやシステムダウン等も未然に且つ確実に防止できるようになって、システムの信頼性を大幅に高めることができる効果がある。

## 4. 図面の簡単な説明

第1図はこの発明の一実施例によるマイクロプロセッサシステムを示すブロック図であり、第2図は従来のマイクロプロセッサシステムを示すブロック図である。

図において、1—リアルタイムマルチタスクオペレーティングシステムの核としてのRMOS、3—周辺装置、4—周辺装置制御部、5—時間監視部、S<sub>1</sub>—割込み応答信号、S<sub>2</sub>—擬似割込み応答信号。

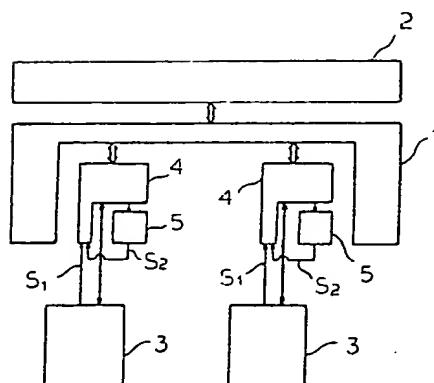
なお、図中、同一の符号は同一、又は相当部分

特開昭63-88660(4)

を示している。

代理人 大岩増雄

## 第一圖



1.....R M O S、3.....周辺装置、4.....周辺装置制御部  
 5.....時間監視部、S<sub>1</sub>.....割込み応答信号  
 S<sub>2</sub>.....複数割込み応答信号

手続補正書(自発)

昭和62年8月24日

## 第二圖

特許庁長官殿

1. 事件の表示

特願昭61-234853号

2. 発明の名称

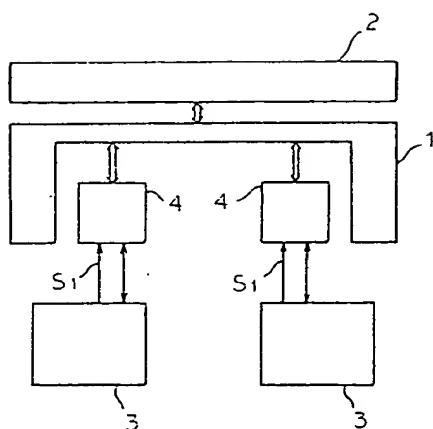
マイクロプロセッサシステム

3. 補正をする者

事件との関係 特許出願人  
 住 所 東京都千代田区丸の内二丁目2番3号  
 名 称 (601)三菱電機株式会社  
 代 委 者 志岐守哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号  
 三菱電機株式会社  
 氏 名 (7375)弁理士 大岩増雄  
 (連絡先03(213)3421特許部)



特開昭63-88660(5)

## 5. 紹正の対象

(1) 明細書の発明の詳細な説明の段

## 6. 紹正の内容

(1) 明細書第2頁第9行目の、

「周辺装置3との間に介装される」を、

「周辺装置3とをインターフェースする」と訂正します。

(2) 明細書第6頁第6行目の、

「周辺装置3との間に介装される」を、

「周辺装置3とをインターフェースする」と訂正します。

(3) 明細書第9頁第3行目の、

「適格に」を、

「適確に」と訂正します。

(4) 明細書第10頁第4行目～第5行目の、

「適格に」を、

「適確に」と訂正します。

以上